

AUTORES: R.A. Orives, A.H.C. Oliveira, F.H. Behrens, J.G.M.Taveira, A.M. Kuniyoshi

SUMÁRIO:

Este trabalho apresenta uma experiência em projeto para a testabilidade aplicada a CI's digitais complexos, contendo as técnicas utilizadas e os resultados obtidos.

Inicialmente, é feita uma descrição dos problemas encontrados no teste funcional das partes combinacional e sequencial dos CI's digitais, acompanhada da abordagem de projeto, em função de tais problemas.

Serão mostradas, então, as técnicas utilizadas no projeto, tais como: "scan test", multiplex,... etc, para a testabilidade de um circuito integrado.

Finalmente, apresentaremos os resultados obtidos, tais como o número de vetores de teste, cobertura de falhas e lógica adicional envolvida no projeto.

ABSTRACT:

This work presents an experience in design for the testability applied to complex digital IC's, containing the technique used and the results obtained.

First, it will be described the problems found in the functional test of the combinational and sequential parts of digital IC's followed by the approach to the design due to such problems.

Then, it will be showed the techniques used in the design, as "scan test", multiplex, ..., etc, for the testability of an integrated circuit.

Finally, it will be presented the results obtained, as the number of test vectors, fault coverage and additional logic involved in the design.

RAMON A. ORIVES : Engenheiro Eletricista
Área de interesse: Projeto de Circuitos Integrados

ARTHUR H.C.OLIVEIRA: Engenheiro Eletricista
Área de interesse: Projeto de Circuitos Integrados

FRANK HERMAN BEHRENS: Engenheiro Eletricista
Área de interesse: Projeto de Circuitos Integrados

JOSÉ G.M. TAVEIRA: Engenheiro Eletricista
Área de interesse: Projeto de Circuitos Integrados

ANA MARIA KUNIYOSHI: Física - Mestrado em Engenharia Eletrônica
Área de Interesse: Projeto de Circuitos Integrados

ENDEREÇO PARA CORRESPONDÊNCIA: CENTRO TECNOLÓGICO PARA INFORMÁTICA - CTI
Caixa Postal 6162- Campinas, SP - CEP 13100
Fone (0192) 42-1000

O aumento do número de portas lógicas nos projetos de CI's tem gerado um acréscimo na complexidade do teste elétrico funcional; o efeito imediato deste problema é uma maior ração no custo do teste final.

Algumas vezes, sacrifica-se o teste, diminuindo a cobertura de falhas em função do tempo de execução, equipamentos utilizados e custos finais. A consequência disto é a obtensão de um CI com maior probabilidade de se descobrir a falha apenas no campo, portanto, um produto com menor grau de confiabilidade.

Existem dois caminhos que podem ser seguidos para o problema teste. O primeiro caminho seria a otimização dos métodos existentes e a criação de novas técnicas de preparação de teste; este caminho implica na geração de estímulos (vetores de teste) e na configuração dos equipamentos de teste, tendo o CI com sua fase de projeto já terminada. O segundo caminho a seguir, seria projetar o CI de tal forma que sua concepção o tornasse mais facilmente testável. Este segundo caminho, contrário ao primeiro, considera o problema teste desde a concepção do CI. Pode-se chamar esta segunda abordagem de "projeto para testabilidade"; informalmente, testabilidade pode ser definida como a medida da facilidade de gerar e aplicar vetores de teste para a detecção de falhas físicas em um circuito [1].

Na maior parte dos projetos de CI's digitais complexos, o problema teste infelizmente não é abordado durante o projeto, resultando em circuitos difíceis de serem testados.

Mostra-se neste trabalho os problemas encontrados no teste funcional de CI's digitais complexos, a abordagem de projeto e as técnicas de testabilidade aplicadas a um circuito, projetado no IM-CTI, bem como os resultados obtidos.

TESTE FUNCIONAL:

O problema teste possui dois aspectos importantes: o primeiro é a geração do teste, que é o processo de se criar estímulos para exercitar e demonstrar o correto funcionamento do CI. O segundo é a verificação do teste, que é o processo da averiguação da eficiência dos estímulos gerados. [2].

A geração dos estímulos para exercitar um circuito (geração de vetores de teste) é uma tarefa que deve perseguir dois pontos essenciais que são o controle e observação dos nós internos do circuito. O controle de um nó é a capacidade de se forçar um estado lógico neste, a partir das entradas primárias (pinos) do circuito. A observação é a capacidade de se conhecer o estado lógico de um nó utilizando-se, para isso, apenas as saídas do circuito (pinos). Para se conseguir os objetivos de controle e observação é necessária a geração de vetores de teste que possibilitem a propagação dos estímulos das entradas primárias até os nós a serem controlados e também a propagação dos estados lógicos internos, os quais queremos observar, até os pinos do CI.

Circuitos digitais complexos de partes sequenciais e combinacionais tendem a possuir muitas características funcionais, tornando muitas vezes inviável o teste exaustivo da funcionalidade. Para sanar este problema lança-se mão de alguns algoritmos especialmente concebidos para este fim, podemos citar como exemplos: Algoritmo D [3], [4], Algoritmo 9V [5], Diferenças Booleanas [6] e muitos outros propostos.

É fato que a geração de vetores de testes para circuitos sequenciais tem se mostrado uma árdua tarefa para os projetistas, além disto os algoritmos existentes para circuitos puramente combinacionais na maioria dos casos têm se mostrado efetivos; o mesmo não acontecendo com os algoritmos para circuitos sequenciais. A implantação destes algoritmos em sistemas de computação permite um maior dinamismo na geração de vetores de teste; todavia, na prática, temos encontrado algumas restrições à geração automática dos testes. Quando se trabalha com circuitos digitais complexos, é necessário um tempo de CPU

elevado para se chegar a resultados satisfatórios. Muitas vezes, gera-se manualmente alguns vetores para se chegar à cobertura de falhas desejada. Para circuitos complexos altamente sequenciais, a geração automática se torna inviável e mesmo a geração manual se mostra extremamente difícil, geralmente resultando em baixas taxas de cobertura de falhas ou numerosos vetores de teste implicando em altos custos de teste.

PROJETO PARA TESTABILIDADE:

O projeto para testabilidade de um circuito, como foi descrito na introdução, deve começar na concepção deste e se prolongar por toda a fase de projeto.

Foi visto também que circuitos altamente sequenciais dificultam a geração de vetores de teste.

Tendo em vista estes aspectos e aliado ao fato de que a equipe de projeto do Instituto de Microeletrônica - CTI tinha pela frente um projeto de CI digital, potencialmente com alto grau de sequencialidade e obrigatoriamente uma alta taxa de cobertura de falhas, decidiu-se por uma abordagem de projeto com enfoque para a testabilidade.

O ponto chave no projeto era diminuir, se não eliminar, a sequencialidade do circuito, isto é, controlar e observar os nós dos elementos de memória (flip-flops, latches...etc) de tal forma que no modo teste se pudesse enxergar apenas um circuito combinacional. Para tal, procurou-se seguir certas regras no projeto lógico pensando na utilização de técnicas, descritas mais adiante, de testabilidade.

Cita-se, a seguir, as regras utilizadas para a concepção do CI:

Foi evitada a utilização de circuitos contadores e registros assíncronos. A utilização de circuitos síncronos permite que os elementos de memória sejam mais facilmente testados através da implementação da técnica de "scan-test", descrita mais adiante, prop

O projeto dos blocos combinacionais não continha realimentações do tipo mostrado na figura 1. Este procedimento não permitiu o aparecimento de circuitos sequenciais gerados pela própria interconecção das portas lógicas.

Procurou-se evitar circuitos combinacionais de muitos níveis de portas lógicas. Os blocos de circuitos combinacionais eram separados por elementos de memória, conforme sugere a figura 2.

Para a introdução de dados nos flip-flops funcionais procurou-se a não utilização das entradas "sets" ou "resets" dos mesmos; portanto a entrada de dados em flip-flops deveria ser controlada pelo clock.

TÉCNICAS DE TESTABILIDADE IMPLEMENTADAS NO PROJETO:

Com o conceito de que elementos de memória em um C.I. podem ser chaveados para se transformar em um "Shift-register", pode-se controlar e observar os estados lógicos destes elementos. Foi, então, utilizada a técnica de "scan-test" parcial [7], acrescida de algumas técnicas de multiplexagem de sinais.

O "scan-test" consiste da utilização dos flip-flops funcionais do circuito, ligeiramente modificados, configurados na forma de um "Shift-register" quando no modo teste. Desta maneira podemos colocar e retirar dados internos ao circuito, de forma serial, sem que aumente em muito os pinos do CI. São necessários alguns pinos de controle para esta técnica. Obtem-se, então, um significativo aumento nos pontos de controle/observação internos do circuito. Existem dois outros aspectos importantes: o primeiro, é que o teste dos flip-flops se torna extremamente fácil, pois temos controle/observação diretos sobre eles; o outro, é que se pode decompor o circuito nas partes sequenciais e puramente combinacionais.

Foi visto que a geração de vetores de teste para circuitos puramente combinacionais é mais fácil que para circuitos mistos. Temos no exemplo da figura 3a um flip-flop comum, modificado para trabalhar no "scan-test"; na figura 3b observamos um pequeno circuito utilizando estes flip-flops modificados.

Quando nos referimos à técnica utilizada, "scan-test" parcial; isto quer dizer que nem todos os flip-flops funcionais do circuito foram incluídos no "scan". Esta ocorrência é devida ao fato de que nem sempre conseguiu-se seguir as regras estabelecidas para todas as partes do circuito, inviabilizando a implantação do "scan-test" nos elementos de memória destas partes. Apresentaremos mais adiante dados sobre o número de flip-flops envolvidos nesta técnica.

A técnica de multiplexagem de sinais também foi muito utilizada neste projeto, sanando diversas dificuldades na implementação da técnica de "scan-test".

Para permitir a entrada e saída de dados do "shift-register" quando no modo teste era necessário que se tivesse um clock comum para todos os flip-flops do "scan"; na impossibilidade de se ter um projeto lógico com todas as estruturas síncronas a um mesmo clock, optou-se pelo chaveamento, no modo teste, dos clocks das diversas estruturas síncronas a um único sinal, o clock-teste (CKT). Foram usados, então, Multiplex de 2:1 para este chaveamento.

Outra utilização importante dada à técnica de multiplexagem, ainda não encontrada na literatura, foi o chaveamento de nós de difícil observação da parte combinacional do circuito, para nós de observação direta via "scan-test". Isto implica na possibilidade de se observar diretamente dois nós do circuito com apenas um flip-flop pertencente ao "scan". Este procedimento nos levou à criação de mais um pino no CI, que é o controle deste chaveamento. Por outro lado, nos possibilitou a observação direta via "scan" de nós críticos no projeto para testabilidade.

Temos na figura 4 a estrutura básica utilizada nesta implementação.

Foram criados alguns pinos extras, não funcionais, para a utilização quando no modo teste; são pinos de controle do circuito de teste.

Existe no circuito um sinal particularmente importante, que é um pino de inicialização; ou seja, permite que se possa "setar" ou "resetar" todos os flip-flops do circuito. Pode-se conhecer, assim, no modo teste, o estado lógico inicial de todos os elementos de memória. Funcionalmente este pino é utilizado para o "power on reset".

RESULTADOS OBTIDOS:

Para análise dos resultados obtidos são feitas algumas considerações a seguir:

Os números de portas lógicas se referem a : 1 porta = 1 NAND de duas entradas, 1/2 porta = 1 inversor, 1 1/2 portas = 1 NAND de três entradas e assim por diante.

O tipo de falha considerado para a geração de vetores de teste e cobertura de falhas são do tipo simples amarrado em "0" ou "1" (stuck-at-"0" ou "1").

Os vetores de teste foram gerados manualmente com auxílio do programa SIMUFA [8] na verificação destes.

Os dados sobre cobertura de falhas ainda não são apresentados, atualmente, procede-se a uma simulação de falhas exaustiva, que estará pronta até a apresentação deste trabalho.

São mostrados na TABELA 1, dados do projeto e resultados obtidos:

* N° total de portas lógicas do circuito	1500
* Porcentagem de lógica adicional p/ o projeto de testabilidade	19%
* N° total de flip-flops (DFF)	85
* Flip-flops incluídos no "scan" (total)	62
* Flip-flops funcionais incluídos no "scan"	59
* N° de entradas/saídas primárias (pinos)	26
* N° de entradas/saídas via "scan"	139
* Pinos p/ controle do modo teste(não funcionais)	4
* N° de vetores de teste via "scan"	73
OBS: Cada vetor é constituído de uma palavra de 62 bits	

CONCLUSÃO:

Projeto para testabilidade está se tornando uma necessidade nos projetos de CI's digitais complexos; muito se tem publicado e estudado a respeito, no entanto, encontra-se ainda grandes impendências por parte dos projetistas na utilização das técnicas para testabilidade.

Os resultados preliminares obtidos no projeto realizado no IM-CTI são considerados bons. Pelas características do circuito, altamente sequencial e com poucos pinos de controle /observação, não se visualizou, após o término do projeto, a viabilidade de teste do CI sem que se entrasse no modo teste. Isto mostrou claramente a importância da abordagem usada de projeto para testabilidade.

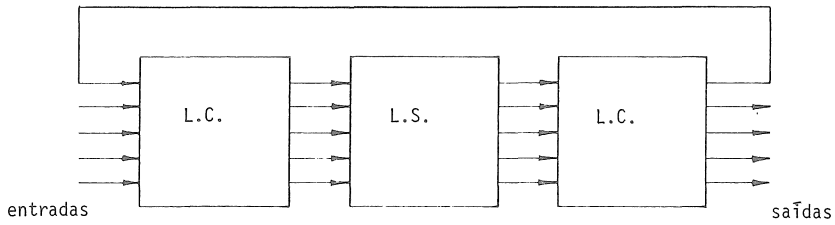


FIGURA 1

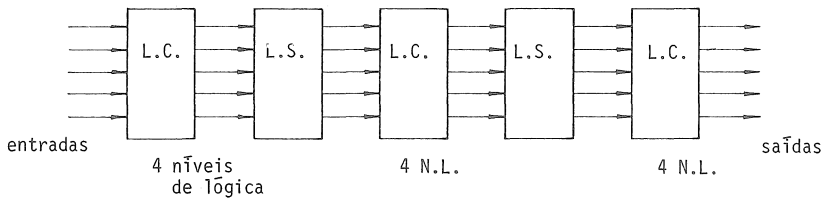


FIGURA 2

OBS: Para figuras 1 e 2 : L.C.- Lógica Combinacional
L.S.- Lógica Sequencial

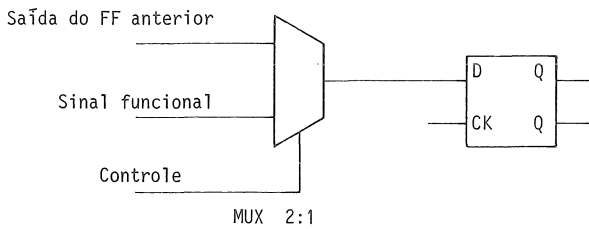


FIGURA 3a

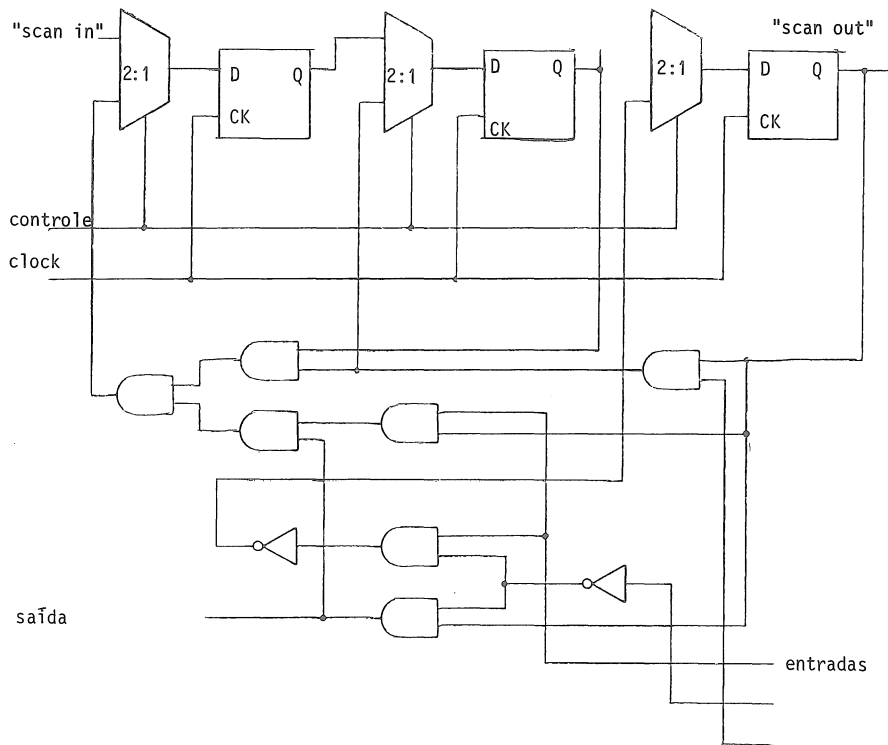


FIGURA 3b

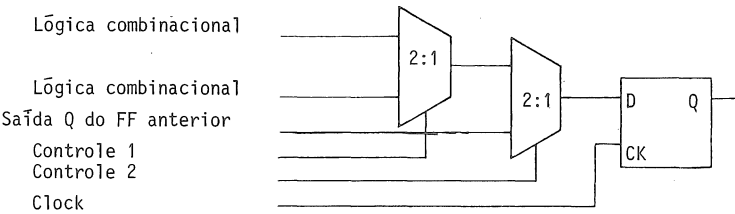


FIGURA 4

- [1] Jacob A. Abraham, "Design for Testability", Custom Integrated Circuits Conference Rochester, N.Y., May 23-25, 1983.
- [2] Thomas W. Williams and Kenneth P. Parker, IEEE Members, "Design for Testability- A Survey" Proceedings of the IEEE, vol. 71, nº 1, jan, 1983.
- [3] Bennetts, R.G., "Introduction to Digital Board Testing".
- [4] Akira Miyoshi, "Automatic Generation of Diagnostic Programs for Tosbac- 5400/150", Tokyo Shibaura Electric Company, LTD, Tokyo, Japan .
- [5] Charles W. Cha, William E. Donath e Fusun Orguner, "9 V. Algorithm for test Pattern Generation of Combinational Digital Circuits"- IEEE Transactions on Computers, Vol. C-27, nº 3, March, 1978.
- [6] Peter N. Marinos, member IEEE, "Derivation of Minimal Complete Sets of Test-input Sequences Using Boolean Differences", IEEE Transactions on Computers, Vol. C-20 nº 1, Jan., 1971.
- [7] Erwin Trischler, "Incomplete Scan Path with an Automatic Test Generation Methodology", Corporate Research & Technology, Cherry Hill, New Jersey 08034.
- [8] R. Pannain, P.C.M. Freitas, R.A. Orives, M. de Moraes, "Ferramenta de Auxílio à Verificação de Vetores de Teste", Centro Tecnológico para Informática, Instituto de Microeletrônica, Campinas, S.P.
